

(19) Japan Patent Office (JP)

(12) Publication of Unexamined Patent Application (A)

(11) Japanese Patent Laid-Open Number: Hei 2-162744

(43) Laid-Open Date: Hei 2-6-22 (June 22, 1990)

5 (51) Int.Cl.⁵ Identification Code Office Reference
Number

H 01 L 21/338

23/60

29/812

10 29/90 S 7638-5F
7733-5F H 01 L 29/80

P

6918-5F 23/56

B

15 Request for examination: Not requested

Number of Claims: 3 (7 pages in total)

(54) Title of the Invention: SEMICONDUCTOR DEVICE

(21) Application Number: Sho 63-316365

(22) Filed: Sho 63-12-16 (December 16, 1988)

20 (72) Inventor: Syuichi Simizu

in Kabushiki Kaisha Hitachi Seisakusho Takasaki Factory

111 Nisiyokote-tyo, Takasaki, Gunma

(71) Applicant: Kabushiki Kaisha Hitachi Seisakusho

6, Kanda-Surugadai 4-tyome, Tiyoda-ku, Tokyo

25 (74) Agent: Patent Attorney; Katuo Ogawa (and another)

Specification

1. Title of the Invention

SEMICONDUCTOR DEVICE

2. Scope of the claims

5 1. A semiconductor device having an intrinsic semiconductor substrate and a pair of impurity diffusion regions provided on a major surface of the intrinsic semiconductor substrate, in which the pair of impurity diffusion regions and an intrinsic semiconductor region between
10 these impurity diffusion regions constitute a back-to-back diode, characterized in that a trap level is provided in the intrinsic semiconductor region.

 2. The semiconductor device according to claim 1, characterized by comprising: a semi-insulating GaAs substrate;
15 a pair of n^+ -type diffusion regions provided on a major surface of the substrate; and a trap level formed in a surface portion of an intrinsic semiconductor region between the pair of n^+ -type diffusion regions.

 3. The semiconductor device according to claim 2,
20 characterized in that the trap level of the intrinsic semi-insulating region is formed by electron beam irradiation and is about 0.1 to 0.2 eV.

3. Detailed Description of the Invention

[Field of the Industrial Application]

25 The present invention relates to a technology for manufacturing an n^+ -i- n^+ protection diode to which a space-charge limited current to be generated on a semi-insulating conductor GaAs (gallium-arsenic) substrate is

applied, particularly relates to a technology for manufacturing a protection diode which is suitable for absorbing an electrostatic surge current of a GaAs MESFET (Metal Semiconductor Field Effect Transistor).

5 [Prior Art]

An n^+ -i- n^+ diode is manufactured by providing a pair of n^+ -type diffusion regions 2 and 3 on a major surface of a semi-insulating GaAs substrate 1, and then providing diode electrodes 5 and 6 on the n^+ -type diffusion regions 2 and 3 that
10 are not covered with an insulating film 4, as shown in Fig. 12. More specifically, a high-resistance semi-insulator (intrinsic semiconductor: i) with a resistivity of 10^7 to 10^8 ohm·cm is used for the semi-insulating GaAs substrate 1. As a result, an energy band diagram of the n^+ -type diffusion regions
15 2 and 3 and an intrinsic semiconductor region (i-region) 7 between the n^+ -type diffusion regions 2 and 3 is as shown in Fig. 13. In this energy band diagram, the part which is indicated by the dotted line is the Fermi level (FL), 8 denotes a conduction band, 9 denotes a valence band. And potential
20 barriers a are formed at the interfaces between the n^+ -type regions (n^+) and i-region. The potential barrier a is about 0.6 eV. Incidentally, the transitional region is called a space-charge limitation region b. In addition, the current(I)-voltage(V) characteristics of this diode are as
25 shown in Fig. 14, and the withstand voltages are $-V_a$ and V_a .

In such an n^+ -i- n^+ diode, when a predetermined voltage is applied to the n^+ -type diffusion regions 2 and 3, a current flows from the semi-insulating portion over the space-charge

limitation region b. This phenomenon is equivalent to that in a back-to-back type protection diode in which metallurgically manufactured n^+ - p^+ diodes are joined in a back-to-back form. Therefore, it is known that the above described n^+ - i - n^+ structure may become a protection diode which can be easily formed on a GaAs substrate (disclosed in Japanese Patent Laid-Open Publication No. Sho 61-292965).

[Problems to be solved by the Invention]

An n^+ - i - n^+ diode can be formed simultaneously with formation of the n^+ -type diffusion region which is formed when an FET is made on a GaAs substrate. Therefore, provision of p-diffusion region which is necessary for a protection diode formed by the use of p-n junction is unnecessary. Thus, an advantage is that the n^+ - i - n^+ diode is easy to form.

However, it has been found by the present inventor that this diode is not high in surge absorbing ability (surge absorbing capacity) for the following reasons. That is, in an n^+ - i - n^+ diode, a contact area between opposite n^+ -type diffusion region and i-region cannot be set large because the depth of the diffusion layer of the n^+ -type diffusion region is shallow. As a result, the cross-section for a flow-through surge current to pass through cannot be set large, and thus the surge absorbing ability falls short of that of the metallurgical bonded p-n diode.

In addition, it has been found that the heights of the potential barriers are prone to vary in this n^+ - i - n^+ diode. That is, the potential barrier subtly changes with the deposition condition of the semi-insulating GaAs substrate, or the like.

Accordingly, the characteristics of the n^+i-n^+ diode become prone to change.

An object of the present invention is to provide an n^+i-n^+ diode which is high in surge absorbing ability.

5 Another object of the present invention is to provide a semiconductor device having an n^+i-n^+ diode which is high in surge absorbing ability.

The above described and other objects and novel features will be apparent from the description of this specification and
10 the attached drawings.

[Means for solving the Problems]

A brief description of an outline of a typical one out of the inventions disclosed in this application is as follows.

That is, in an n^+i-n^+ diode of the present invention,
15 a pair of n^+ -type diffusion regions are provided on a major surface of a semi-insulating intrinsic GaAs substrate, and a back-to-back diode composed of n^+i-n^+ is constituted. An i -region between the n^+ -type diffusion region and n^+ -type diffusion region is provided with a trap region having a trap
20 level by irradiation of an electron beam. The trap level is located at 0.2 to 0.3 eV below a conduction band in the energy band. Accordingly, if this trap level is filled with electrons, a height of a potential barrier relative to the n^+ -type diffusion region becomes 0.1 to 0.2 eV. This is sufficiently low in
25 comparison with about 0.6 eV given in the case that the level does not exist.

[Effects]

According to the above described means, in the n^+i-n^+

diode of the present invention, a trap level is formed in the i-region by electron beam irradiation. The trap level is located at 0.2 to 0.3 eV below a conduction band in the energy band. Accordingly, if this trap level is filled with electrons, a height of a potential barrier relative to the n^+ -type diffusion region becomes 0.1 to 0.2 eV. This is sufficiently low in comparison with about 0.6 eV given in the case that the level does not exist. As a result, if a surge current (electrons) flows through the i-region, the initial electrons are trapped in the trap level in the i-region. Thereafter, the trap level is filled with electrons, and as a result, the energy level of the i-region approaches the energy level of the n^+ -type diffusion region. In this manner, once the energy level of the i-region become close to that of the n^+ -type diffusion region, the potential barrier for the subsequent surge current is lowered from 0.6 eV to between 0.1 and 0.2 eV. Therefore, the surge current easily flows from an n^+ -type diffusion region into the other n^+ -type diffusion region, and thus the surge absorbing capability becomes high.

[Embodiment]

Hereinafter, a description will be given of an embodiment of the present invention with reference to the drawings.

Fig. 1 is a sectional view showing a sketch of an n^+ -i- n^+ diode in a GaAs MESFET with a protection diode according to an embodiment of the present invention; Fig. 2 is an energy band diagram of the same; Fig. 3 is an energy band diagram of the same in a state where a surge current flows; Fig. 4 is a graph showing current-voltage characteristics of the same before a

surge current starts to flow; Fig. 5 is a graph showing current-voltage characteristics of the same in a state where a surge current flows; Fig. 6 is a schematic plan view showing a sketch of the same FET; Fig. 7 is a equivalent circuit diagram of the same. Figs. 8 to 11 are sectional views of an n^+i-n^+ diode in each manufacturing process. Fig. 8 is a sectional view showing a state where ion implantation into a major surface of a semi-insulating GaAs substrate is performed; Fig. 9 is a sectional view showing a semi-insulating GaAs substrate which has been subjected to diffusion treatment; Fig. 10 is a sectional view showing a semi-insulating GaAs substrate which is partially irradiated with an electron beam; Fig. 11 is a sectional view showing a semi-insulating GaAs substrate on which diode electrodes are formed.

In description of this embodiment, a description will be given of an example where the present invention is applied to a GaAs MESFET with a protection diode. The GaAs MESFET with the protection diode has a structure in which a back-to-back diode (protection diode) 10 is interposed between the gate and source of the MESFET including the gate (G), source (S), and drain (D) as shown in the equivalent circuit of Fig. 7. In GaAs MESFETs, a gate length of the device is shortened to 1 μm or less typically in order to enable fast operation, making use of the physical property that the electron mobility in GaAs is high in comparison to that in Si. Thus, the electrostatic discharge resistance is weakened. Therefore, in order to enhance the electrostatic discharge resistance, a high performance protection diode is provided between the gate and

source.

In a GaAs MESFET chip (semiconductor device) 20, a pattern for the source electrode, drain electrode, and gate electrode and the like is as shown in Fig. 6. Specifically, a pair of source and drain electrodes 21 and 22, which are formed in rectangular patterns, are provided on the major surface of the rectangular chip 20. In addition, a gate electrode 23 is elongated between the source and drain electrodes 21 and 22. A part of the gate electrode 23 outside the source and drain electrodes 21 and 22 is wide and forms a wire bonding portion 24. Also in the source and drain electrodes 21 and 22, wire bonding portions 25 and 26 are provided.

On the other hand, the protection diode 10, i.e. the n^+i-n^+ diode 10 which is formed of n^+i-n^+ , is provided on the left side of the chip 20. This n^+i-n^+ diode 10 is constituted of a pair of n^+ -type diffusion regions 2 and 3, and an intrinsic semiconductor region (i-region) 7 between the n^+ -type diffusion regions 2 and 3 as shown by dotted lines. In addition, this intrinsic semiconductor region 7 is also a trap region 27 which is formed by electron beam irradiation as shown by the chain double-dashed line. Moreover, diode electrodes 5 and 6 are provided on the n^+ -type diffusion regions 2 and 3, respectively. One diode electrode 5 extends on the surface of the chip 20. This extending interconnection portion 28 is electrically connected to the source electrode 21. Furthermore, an interconnection portion 29 of the other diode electrode 6 is electrically connected to the gate electrode 23.

Next, the structure of the n^+i-n^+ diode 10 will be

described in detail. That is, Fig. 1 is a sectional view showing the structure of the n^+i-n^+ diode 10. The n^+i-n^+ diode 10 is formed by providing the surface of the intrinsic semi-insulating GaAs substrate 1 with the pair of n^+ -type diffusion regions 2 and 3. The semi-insulating GaAs substrate 1 is made of an intrinsic semiconductor whose resistivity ρ is 10^7 to 10^8 ohm·cm. On the other hand, the n^+ -type diffusion regions 2 and 3 are made of an extrinsic semiconductor in which donors are implanted.

The n^+ -type diffusion regions 2 and 3 are formed as follows. That is, as shown in Fig. 8, a SiO_2 film 31 is selectively provided on the major surface of the semi-insulating GaAs substrate 1 in a thickness of about 5000 angstrom. Subsequently, Si ions 32 are implanted using the SiO_2 film 31 as a mask, and annealing is performed. Consequently, the diffusion regions 2 and 3 are formed as shown in Fig. 9. The implantation of the Si ions 32 is performed at 150 KeV at a dose of $3 \times 10^{13} \text{ cm}^{-2}$. The implanted Si ions 32 are activated by annealing in an atmosphere including As at 800°C for 20 minutes. The activated Si ions 32 diffuse to a depth of 0.1 to 0.2 μm to form the n^+ -type diffusion regions 2 and 3. As a result, the sheet resistance of the n^+ -type diffusion regions 2 and 3 are 100 to 150 ohm/square. In addition, the distance 1 between the n^+ -type diffusion regions 2 and 3 is several micrometers.

By implanting the Si ions 32 into regions on the intrinsic semi-insulating GaAs substrate 1 which are separated by a predetermined distance, the basic form of the n^+i-n^+ diode 10 using the semi-insulating GaAs substrate 1 as an i-region is

formed.

On the other hand, in this embodiment, the trap region 27 (region indicated by the dotted line) is provided in an i-region 7 between the pair of n⁺-type diffusion regions 2 and 3 as shown in Fig. 1. Moreover, a trap level (electron trap level) 33 is formed as shown in the energy band diagram of Fig. 2. This trap level 33 is formed by irradiating the corresponding intrinsic semiconductor region 7 between the n⁺-type diffusion regions 2 and 3 with an electron beam 34 as shown in Fig. 10. The irradiation of the electron beam is performed at an implantation energy of 0.7 to 2 MeV and a dose of 1×10^{12} to 1×10^{14} cm⁻². As a result, the trap region 27 having a depth of 0.2 to 0.4 μ m, which is about twice as large as those of the n⁺-type diffusion regions 2 and 3, is formed. The trap level 33 of the trap region 27 is located at h eV below a conduction band 8, for example at 0.2 to 0.3 eV, as shown in the energy band diagram of Fig. 2. Incidentally, in the energy band diagram, the part which is indicated by the dotted line is the Fermi level (FL). Reference numeral 8 denotes the conduction band, and reference numeral 9 denotes a valence band. Furthermore, potential barriers a are formed at the interfaces between the n⁺-type regions (n⁺) and i-region. Because the forbidden band of the GaAs is 1.42 eV at 300K, and the conduction band 8 is located at about 1 eV above the Fermi level in the n⁺-GaAs, the potential barrier a is about 0.6 eV. The transitional region is called a space-charge limitation region b. Incidentally, the irradiation of the electron beam is performed, in particular, to the i-region 7 for diode formation,

therefore other regions are not adversely affected by the irradiation.

In addition, on the n^+ -type diffusion regions 2 and 3, the diode electrodes 5 and 6 are formed by the use of AuGe (gold and germanium) alloy as shown in Fig. 11. Therefore, the protection diode 11 is formed.

Next, a description will be given of the operation of such an n^+i-n^+ diode 10. In this n^+i-n^+ diode 10, the trap region 27 having the trap level 33 is provided in the intrinsic semiconductor region (i-region) 7 between the n^+ -type diffusion regions 2 and 3. Consequently, the following effects are obtained. The energy band diagram of the n^+i-n^+ diode with a conventional structure is as shown in Fig. 13 as described above. In this case, before and after a surge current begins to flow, the heights of the energy barrier are equal, i.e. about 0.6 eV. Therefore, the I-V characteristics of the conventional diode do not change as shown in Fig. 14.

On the other hand, in the energy band diagram of the n^+i-n^+ diode 10 of the present invention, the trap level 33 is present in the i-region 7. Although the trap level 33 is present in the i-region 7 until immediately before a surge current begins to flow as shown in Fig. 2, the energy barrier is a, i.e. about 0.6 eV as in the case of the conventional structure. Accordingly, the I-V characteristics at the moment when a surge current begins to flow are as shown in Fig. 4, which are the same as those of the conventional case shown by Fig. 14. That is, the n^+i-n^+ diode 10 of the present invention has a withstand voltage equal to that of conventional one unless a surge current

flows, and no bad influence is exerted on the MESFET to which the protection diode 10 is connected, as in the case of the conventional one.

On the other hand, once a surge current begins to flow, electrons 35 are trapped in the trap level 33 in the i-region 7, and the energy band diagram becomes one which is shown in Fig. 3. Consequently, the potential barrier ϕ is lowered to a value of the order of 0.1 to 0.2 eV. As shown in Fig. 5, the I-V characteristics corresponding to this state have a lower diode withstand voltages V_R' ($V_R' < V_R$) and $-V_R'$ ($-V_R' > -V_R$) in comparison with those in the I-V characteristics in a state before a surge current begins to flow. As a result, it is easy for a current to flow through the n^+ -i- n^+ part for the subsequent surge current. Thus, according to the structure of the present invention, even the n^+ -i- n^+ diode 10 having a small facing area of the n^+ -type diffusion regions 2 or 3 and the i-region 7 can function as a diode with a high surge absorbing ability.

According to such an embodiment, effects as described below will be achieved.

(1) In the n^+ -i- n^+ diode of the present invention, the intrinsic semiconductor region is the trap region having the trap level. Once a surge current begins to flow, the potential barrier relative to the n^+ -type diffusion region of the intrinsic semiconductor region is lowered from 0.6 eV to between 0.1 and 0.2 eV. Thus, it is easy for the subsequent surge current to flow, and an effect that the surge absorbing ability becomes high as in the case of the p-n junction diode can be achieved.

(2) As a result of the effect (1) as described above, the surge absorbing ability of the $n^+ - i - n^+$ diode of the present invention becomes high, and thus an effect that the electrostatic discharge resistance of a MESFET increases can be achieved.

5 (3) According to the present invention, the trap level is formed by electron beam irradiation of which controllability is good, thus an effect that, even if the potential barrier of the semi-insulating GaAs substrate changes, a desired trap level can be formed with a good reproducibility can be achieved.

10 (4) As a result of the effect (3) as described above, according to the present invention, the trap level can be formed with a good reproducibility, thus an effect that the characteristics of the $n^+ - i - n^+$ diode become stable can be achieved.

(5) As a result of the effect (4) as described above, according
15 to the present invention, the trap level can be formed with a good reproducibility, thus an effect that the yield improves can be achieved.

(6) As a result of the effects (1) to (5) as described above, according to the present invention, a synergistic effect that
20 it is possible to provide the $n^+ - i - n^+$ diode which is excellent in surge absorbing ability and, at the same time, to provide the GaAs MESFET with a protection diode which is inexpensive and has a high electrostatic discharge resistance can be achieved.

25 The invention made by the present inventor has been specifically described above on the basis of the embodiment. However, the present invention is not limited to the above described embodiment, and various changes are possible without

departing from the gist thereof, of course. For example, even when another semiconductor other than GaAs is used for the intrinsic semiconductor substrate, similar effects as in the above described embodiment can be achieved. In this case, in
5 Si, even in an intrinsic semiconducting state, electrons are easy to flow, and thus it is necessary to put some thought into designing a circuit.

In addition, although the trap level 33 is formed by electron beam irradiation in the above described embodiment,
10 the trap level 33 may be formed by plasma irradiation, neutron irradiation, or the like.

In the above description, a case that the invention made by the present inventor is applied to a technology for manufacturing a GaAs MESFET with a protection diode which
15 pertains to the field of application that is the background of the present invention, has been explained. However, the present invention is not limited to this, and is applicable to a technology for manufacturing a GaAs IC and the like.

The present invention can be applied at least to
20 manufacturing a semiconductor device incorporating an n^+i-n^+ diode.

[Effects of the Invention]

A brief explanation for the effects which are achieved by the typical one of the invention disclosed in the present
25 application is as follows.

In the n^+i-n^+ diode of the present invention, since an electron trap level formed by electron beam irradiation is provided in an intrinsic semiconductor region, which is

semi-insulating high-resistance region, the trap level is filled with electrons when a surge current flows through the n^+i-n^+ part of the diode. Therefore, the height of the potential barrier of the intrinsic semiconductor region relative to that of the n^+ -type diffusion region becomes small. Therefore, according to the present invention, the tolerance to flowing-through of a surge current is enhanced, and the performance of a protection diode against electrostatic discharge damage can be improved.

4. Brief Description of the Drawings

Fig. 1 is a sectional view showing a sketch of an n^+i-n^+ diode in a GaAs MESFET with a protection diode according to an embodiment of the present invention;

Fig. 2 is an energy band diagram of the same;

Fig. 3 is an energy band diagram of the same in a state where a surge current flows;

Fig. 4 is a graph showing current-voltage characteristics of the same before a surge current starts to flow;

Fig. 5 is a graph showing current-voltage characteristics of the same in a state where a surge current flows;

Fig. 6 is a schematic plan view showing a sketch of the same FET;

Fig. 7 is an equivalent circuit diagram of the same;

Fig. 8 is a sectional view showing a state where ion implantation into a major surface of a semi-insulating GaAs substrate is performed in manufacturing the n^+i-n^+ diode;

Fig. 9 is a sectional view showing a semi-insulating GaAs substrate which has been subjected to diffusion treatment in

manufacturing the same;

Fig. 10 is a sectional view showing a semi-insulating GaAs substrate which is partially irradiated with an electron beam;

Fig. 11 is a sectional view showing a semi-insulating GaAs substrate on which diode electrodes are formed;

Fig. 12 is a sectional view showing a sketch of a conventional n^+i-n^+ diode;

Fig. 13 is an energy band diagram of the same; and

Fig. 14 is a graph showing current-voltage characteristics of the same.

1...semi-insulating GaAs substrate, 2 and 3... n^+ -type diffusion region, 4...insulating film, 5 and 6...diode electrode, 7...intrinsic semiconductor region (i-region), 8...conduction band, 9...filled band, 10... n^+i-n^+ diode (protection diode), 20...chip, 21...source electrode, 22...drain electrode, 23...gate electrode, 24...wire bonding portion, 25 and 26...wire bonding portion, 27...trap region, 28...interconnection portion, 29...interconnection portion, 31... SiO_2 film, 32...Si ion, 33...trap level, 34...electron beam, 35...electron

Agent: Patent Attorney; Katuo Ogawa

⑫ 公開特許公報(A) 平2-162744

⑬ Int. Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)6月22日

H 01 L 21/338
23/60
29/812
29/90

S

7638-5F
7733-5F
6918-5F

H 01 L 29/80
23/56

P
B

審査請求 未請求 請求項の数 3 (全7頁)

⑮ 発明の名称 半導体素子

⑯ 特 願 昭63-316365

⑰ 出 願 昭63(1988)12月16日

⑱ 発 明 者 清水 修 一 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体素子

2. 特許請求の範囲

1. 真性半導体基板と、この真性半導体基板の主面に設けられた一対の不純物拡散領域とを有し、前記一対の不純物拡散領域とこれら不純物拡散領域間の真性半導体領域はバックトゥバック型のダイオードを構成してなる半導体素子であって、前記真性半導体領域はトラップ単位が設けられていることを特徴とする半導体素子。

2. 半絶縁性GaAs基板と、この基板の主面に設けられた一対のn⁺形拡散領域と、前記一対のn⁺形拡散領域間の真性半導体領域の表面部に形成されたトラップ単位とからなることを特徴とする特許請求の範囲第1項記載の半導体素子。

3. 前記真性半導体領域のトラップ単位は電子線照射によって形成され0.1~0.2eV程度となっていることを特徴とする特許請求の範囲

第2項記載の半導体素子。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半絶縁性GaAs(ガリウム・砒素)基板上に形成される空間電荷制限電流を応用したn⁺-i-n⁺型保護ダイオードの製造技術に係わり、特にGaAsMESFET(Metal-Semiconductor-Field-Effect-Transistor)の静電サージ電流の吸収に好適な保護ダイオードの製造技術に関する。

(従来の技術)

n⁺-i-n⁺ダイオードは、第12図に示されるように、半絶縁性GaAs基板1の主面に一対のn⁺形拡散領域2、3を設けかつ絶縁膜4に被覆されないn⁺形拡散領域2、3上にダイオード用電極5、6を設けることによって製造される。すなわち、前記半絶縁性GaAs基板1は比抵抗が10³~10⁶Ω・cmと高抵抗半絶縁体(真性(intrinsic)半導体:i)が使用される。この結果、前記n⁺形拡散領域2、3とn⁺形拡散領域

域2、3の間の真性半導体領域(1領域)7のエネルギープバンド図は、第13図に示されるようになる。同エネルギープバンド図において、点線で示される部分がフェルミレベル(FL)であり、8が伝導帯であり、9が価電子帯である。そして、 n^+ 形領域(n^+)と1領域との界面には電位障壁aが形成される。この電位障壁aは、約0.6 eVとなる。なお、遷移領域は空間電荷制限領域bと称される。また、このダイオードの電流(I)－電圧(V)特性は、第14図に示されるようになり、耐圧は $-V_a$ 、 V_a となる。

このような $n^+ - i - n^+$ ダイオードにあっては、 n^+ 形拡散領域2、3に所定の電圧を印加すると、半絶縁部分から空間電荷制限領域bを越えて電流が流れる。この現象は、冶金的に作った $n^+ - p$ ダイオードを背中合わせの形で接続したバックトゥバック型保護ダイオードと等価であり、したがって、 $n^+ - i - n^+$ 型の上記構造は、GaAs基板上に容易に形成できる保護ダイオードとなり得ることが知られている(特開昭51-2

n^+ ダイオードの特性が変動し易くなる。

本発明の目的は、サージ吸収力の高い $n^+ - i - n^+$ ダイオードを提供することにある。

本発明の他の目的は、サージ吸収力の高い $n^+ - i - n^+$ ダイオードを有する半導体素子を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

(課題を解決するための手段)

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、本発明の $n^+ - i - n^+$ ダイオードは、半絶縁性の真性GaAs基板の主面に一刻の n^+ 形拡散領域を設けて $n^+ - i - n^+$ で構成されるバックトゥバック形のダイオードを構成しているとともに、前記 n^+ 形拡散領域と n^+ 形拡散領域間の1領域には電子線が照射されてトラップ単位を有するトラップ領域が設けられている。前

記2965号公報にて開示)。

(発明が解決しようとする課題)

$n^+ - i - n^+$ ダイオードは、P&TをGaAs基板上に製作する際に形成する n^+ 形拡散領域を作り込む時に同時に作ることができ、pn接合形成による保護ダイオードの如くp形拡散領域を設ける必要がなく、簡単であることが特長である。

しかし、このダイオードは以下の理由により、サージ吸収力(サージ吸収能力)が大きくないことが本発明者によってあきらかにされた。すなわち、 $n^+ - i - n^+$ ダイオードは対向する n^+ 形拡散領域と1領域の接触面積が前記 n^+ 形拡散領域の拡散層深さが浅いために大きくとることができない。したがって、貫通サージ電流の通過断面積が広くとれず、サージ吸収能力がpn冶金接合型ダイオードに及ばない。

また、この $n^+ - i - n^+$ ダイオードは電位障壁の高さがばらつき易いことをも見出した。すなわち、電位障壁は半絶縁性GaAs基板の成長条件等によって微妙に変わる。このため、 $n^+ - i$

記トラップ単位は、エネルギープバンド中で伝導帯の下方0.2～0.3 eVに位置している。このため、このトラップ単位が電子で満たされれば n^+ 形拡散領域との電位障壁高さは0.1～0.2 eVとなり、この単位がない場合の約0.6 eVに比べ充分低くなっている。

(作用)

上記した手段によれば、本発明の $n^+ - i - n^+$ ダイオードは、1領域に電子線の照射によってトラップ単位が形成されている。このトラップ単位は、エネルギープバンド中で伝導帯の下方0.2～0.3 eVに位置している。このため、このトラップ単位が電子で満たされれば n^+ 形拡散領域との電位障壁高さは0.1～0.2 eVとなり、この単位がない場合の0.6 eVに比べ充分低くなる。したがって、1領域をサージ電流(電子)が流れた場合、先ず、その初期の電子が1領域のトラップ単位にトラップされる。そして、トラップ単位が電子で満たされる結果、1領域のエネルギー単位が n^+ 形拡散領域のエネルギー単位に近

づく。このように、一旦1領域のエネルギーレベルが n^+ 形拡散領域に近くなれば、次に流れ来るサージ電流は電位障壁が約0.6 eVから0.1~0.2 eVと低くなるため、容易に n^+ 形拡散領域から n^+ 形拡散領域に流れ込み、サージ吸収力が高くなる。

(実施例)

以下図面を参照して本発明の一実施例について説明する。

第1図は本発明の一実施例による保護ダイオード付GaAsMESFETにおける n^+-i-n^+ ダイオードの概要を示す断面図、第2図は同じくエネルギーバンド図、第3図は同じくサージ電流が流れた状態におけるエネルギーバンド図、第4図は同じくサージ電流が流れる前の電流-電圧特性を示すグラフ、第5図は同じくサージ電流が流れた状態の電流-電圧特性を示すグラフ、第6図は同じくFETの概要を示す模式的平面図、第7図は同じく等価回路図、第8図~第11図は n^+-i-n^+ ダイオードの各製造工程における断

面図であって、第8図は半絶縁性GaAs基板の主面にイオン打ち込みがなされた状態を示す断面図、第9図は拡散処理された半絶縁性GaAs基板を示す断面図、第10図は電子線が部分的に照射された半絶縁性GaAs基板を示す断面図、第11図はダイオード用電極が形成された半絶縁性GaAs基板を示す断面図である。

この実施例では保護ダイオード付GaAsMESFETに本発明を適用した例について説明する。この保護ダイオードGaAsMESFETは、第7図の等価回路に示すようにゲート(G)、ソース(S)、ドレイン(D)で構成されるMESFETのゲートとソース間にバックトゥバックのダイオード(保護ダイオード)10を入れた構造となっている。GaAsMESFETは、GaAsにおける電子移動度がSiに比較して速いという物理的性質を生かし、高速動作可能とするべくデバイスのゲート長を通常 $1\mu\text{m}$ 以下に短縮している。このため、静電破壊強度が弱くなる。そこで、この静電破壊強度を高めるために、性能の良い保

護ダイオードをゲートとソース間に設けている。

GaAsMESFETチップ(半導体素子)20において、ソース、ドレイン、ゲート等の電極パターンは、第6図に示されるようになっている。すなわち、矩形のチップ20の主面には矩形パターンからなる一対のソース電極21、ドレイン電極22が設けられている。また、このソース電極21とドレイン電極22間には細長くゲート電極23が延在している。このゲート電極23のソース電極21とドレイン電極22から外れた部分は幅広となりワイヤボンディング部24を構成している。前記ソース電極21およびドレイン電極22にもワイヤボンディング部25、26が設けられている。

一方、チップ20の左側には保護ダイオード10、すなわち n^+-i-n^+ で構成される n^+-i-n^+ ダイオード10が設けられている。この n^+-i-n^+ ダイオード10は、点線で示されるように一対の n^+ 形拡散領域2、3とこの n^+ 形拡散領域2、3間の真性半導体領域(1領域)

7とによって構成されている。また、この真性半導体領域7は二点鎖線で示されるように電子線照射によって形成されたトラップ領域27ともなっている。また、前記 n^+ 形拡散領域2、3上にはダイオード用電極5、6がそれぞれ設けられている。一方のダイオード用電極5はチップ20の表面上に延在し、この延在した配線部28は前記ソース電極21に電気的に接続されている。また、他方のダイオード用電極6の配線部29はゲート電極23に電気的に接続されている。

つぎに、 n^+-i-n^+ ダイオード10の構造について詳細に説明する。すなわち、第1図は n^+-i-n^+ ダイオード10の構造を示す断面図である。 n^+-i-n^+ ダイオード10は真性な半絶縁性GaAs基板1の表面に一対の n^+ 形拡散領域2、3を設けることによって形成されている。半絶縁性GaAs基板1は比抵抗 ρ が $10^7\sim 10^8\Omega\cdot\text{cm}$ となる真性(intrinsic)半導体となっている。また、前記 n^+ 形拡散領域2、3はこれに反してドナーを入れた外因性(

extrinsic) 半導体となっている。

前記 n^+ 形拡散領域 2, 3 は第 8 図に示されるように、半絶縁性 $GaAs$ 基板 1 の主面に選択的に厚さ 5000 Å 程度の SiO_2 膜 31 を設けた後、この SiO_2 膜 31 をマスクとして Si イオン 32 を打ち込み、かつアニールすることによって第 9 図に示されるように形成される。前記 Si イオン 32 の打ち込みは 150 KeV、ドーズ量 $3 \times 10^{13} \text{ cm}^{-2}$ として行われる。打ち込まれた Si イオン 32 は、800°C の As を含む雰囲気中で 20 分間アニールされることによって活性化される。活性化された Si イオン 32 は、 $0.1 \sim 0.2 \mu\text{m}$ の深さにまで拡散して n^+ 形拡散領域 2, 3 を形成する。前記 n^+ 形拡散領域 2, 3 のシート抵抗は $100 \sim 150 \Omega/\square$ となる。また、前記 n^+ 形拡散領域 2 と n^+ 形拡散領域 3 との間隔は数 μm となっている。

このように真性半絶縁性 $GaAs$ 基板 1 に所定距離離して Si イオン 32 を打ち込むことによって半絶縁性 $GaAs$ 基板 1 を i (intrinsic) 部

示される部分がフェルミレベル (FL) であり、8 が伝導帯であり、9 が価電子帯である。そして、 n^+ 形領域 (n^+) と i 領域との界面には電位障壁 a が形成される。この電位障壁 a は、 $GaAs$ の禁制帯幅が 300 K で 1.42 eV であり、 n^+ 形 $GaAs$ では伝導帯 8 がフェルミレベルの上方約 1 eV に位置することから、約 0.6 eV となる。遷移領域は空間電荷制限領域 b と称される。なお、前記電子線照射はダイオード形成のために i 領域 7 に特定されて照射されることから、他の領域には悪影響を及ぼさない。

また、前記 n^+ 形拡散領域 2, 3 上には、第 11 図に示されるように、ダイオード用電極 5, 6 が Ag (Ag 金・ゲルマニウム) 合金によって形成される。これによって保護ダイオード 11 が形成される。

つぎに、このような $n^+ - i - n^+$ ダイオード 10 の動作について説明する。この $n^+ - i - n^+$ ダイオード 10 においては、前記 n^+ 形拡散領域 2, 3 間の真性半導体領域 (i 領域) 7 にトラ

とした $n^+ - i - n^+$ ダイオード 10 の基本形が形成される。

一方、この実施例では、第 1 図に示されるように、一対の n^+ 形拡散領域 2, 3 間の i 領域 7 にトラップ領域 27 (点々で示される領域) が設けられていて、第 2 図のエネルギーバンド図で示されるようにトラップ単位 (電子トラップ単位) 33 が形成されている。このトラップ単位 33 は第 10 図に示されるように、対応する n^+ 形拡散領域 2, 3 間の真性半導体領域 7 部分に電子線 34 を照射することによって形成される。電子線照射は、たとえば、打ち込みエネルギー $0.7 \sim 2 \text{ MeV}$ 、ドーズ量 $1 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-2}$ で行われる。この結果、深さが $0.2 \sim 0.4 \mu\text{m}$ と前記 n^+ 形拡散領域 2, 3 の略倍となるトラップ領域 27 が形成される。このトラップ領域 27 のトラップ単位 33 は、第 2 図のエネルギーバンド図に示されるように、伝導帯 8 の下方の h eV の位置、たとえば、 $0.2 \sim 0.3 \text{ eV}$ に位置する。なお、エネルギーバンド図において、点線で

ップ単位 33 を有するトラップ領域 27 が設けられている。このため、以下の効果が得られる。従来の構造の $n^+ - i - n^+$ ダイオードのエネルギーバンド図は、前述のように第 13 図に示されるようになる。この場合、サージ電流が流れる前も、又、流れ始めてもエネルギー障壁の高さは変わらず、約 0.6 eV 程度である。したがって、従来のダイオードの $i - V$ 特性は第 14 図の如く不変である。

これに対して、本発明の $n^+ - i - n^+$ ダイオード 10 のエネルギーバンド図は、 i 領域 7 にトラップ単位 33 が存在している。このトラップ単位 33 はサージ電流が流れる直前まで第 2 図に示す如く、 i 領域 7 にトラップ単位 33 は存在するが、エネルギー障壁は従来の場合と同様に a 、すなわち、約 0.6 eV である。したがって、サージ電流が流れ始める瞬間の $i - V$ 特性は第 4 図のようになり、第 14 図で示される従来の場合と同じである。すなわち、本発明の $n^+ - i - n^+$ ダイオード 10 はサージ電流が流れる場合以外は

従来のものと同一耐圧であり、この保護ダイオード10が接続されるMESFETには従来のものと変わらず何等悪い影響はない。

一方、一旦サージ電流が流れ始めると、1領域7のトラップ準位33に電子35が捕獲され、エネルギーバンド図は第3図の如くとなり、電位障壁 ϕ は0.1~0.2 eV程度に下がる。この状態に対応したI-V特性は、第5図に示す如く、サージ電流の流れ始める前の状態のI-V特性に比べ、ダイオード耐圧 $V_{B'}$ ($V_{B'} < V_B$)、 $-V_{B'}$ ($-V_{B'} > -V_B$)が低くなっており、続くサージ電流に対し、電流が $n^+ - i - n^+$ 部分を貫通して通り易くなっている。かくして、本発明の構造によれば、 n^+ 形拡散領域2、3と1領域7の対向面積の小さい $n^+ - i - n^+$ ダイオード10であってもサージ吸収力の良いダイオードとすることができる。

このような実施例によれば、つぎのような効果が得られる。

(1) 本発明の $n^+ - i - n^+$ ダイオードは、真

(5) 上記(4)により、本発明によれば、再現性良くトラップ準位を形成できるため、歩留りが向上するという効果が得られる。

(6) 上記(1)~(5)により、本発明によれば、サージ吸収の優れた $n^+ - i - n^+$ ダイオードを提供することができるとともに、静電破壊耐量が高い安価な保護ダイオード付GaAs MESFETを提供することができるという相乗効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない、たとえば、真性半導体基板として、GaAs以外の他の半導体を用いても前記実施例同様な効果が得られる。この場合、Siは真性半導体状態でも電子が流れ易いので回路上工夫を必要とする。

また、前記実施例では電子線照射によってトラップ準位33を形成したが、プラズマ照射あるいは中性子線照射等によってトラップ準位33を形

成しても良い。
性半導体領域がトラップ準位を有するトラップ領域となっていて、サージ電流が流れ出すと、前記真性半導体領域の n^+ 形拡散領域に対する電位障壁は約0.6 eVから0.1~0.2 eVに下がるため、その後のサージ電流が流れ易くなり、サージ吸収力がpn接合ダイオードと同様に高くなるという効果が得られる。

(2) 上記(1)により、本発明の $n^+ - i - n^+$ ダイオードは、サージ吸収力が大きくなるため、MESFETの静電破壊耐量が向上するという効果が得られる。

(3) 本発明によれば、制御性の良い電子線照射によってトラップ準位を形成することから、半絶縁性GaAs基板の電位障壁が変動していても所望のトラップ準位を再現性良く形成できるという効果が得られる。

(4) 上記(3)により、本発明によれば、再現性良くトラップ準位を形成できるため、 $n^+ - i - n^+$ ダイオードの特性が安定するという効果が得られる。

成しても良い。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である保護ダイオード付GaAs MESFETの製造技術に適用した場合について説明したが、それに限定されるものではなく、GaAs IC等の製造技術に適用できる。

本発明は少なくとも $n^+ - i - n^+$ ダイオードを組み込んだ半導体素子の製造には適用できる。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

本発明の $n^+ - i - n^+$ ダイオードは半絶縁高抵抗領域となる真性半導体領域に、電子線照射による電子トラップ準位が設けられていることから、サージ電流がこのダイオードの $n^+ - i - n^+$ 部分を貫通して流れる際、このトラップ準位は電子で充満されるため、真性半導体領域の n^+ 形拡散領域に対する電位障壁高さが低くなる。したがっ

て、本発明によればサージ電流の通過裕度が高められ、静電破壊に対する保護ダイオードの性能を高めることができる。

4. 図面の簡単な説明、

第1図は本発明の一実施例による保護ダイオード付GaAs MESFETにおける n^+-i-n ダイオードの概要を示す断面図、

第2図は同じくエネルギーバンド図、

第3図は同じくサージ電流が流れた状態におけるエネルギーバンド図、

第4図は同じくサージ電流が流れる前の電流-電圧特性を示すグラフ、

第5図は同じくサージ電流が流れた状態の電流-電圧特性を示すグラフ、

第6図は同じくFETの概要を示す模式的平面図、

第7図は同じく等価回路図、

第8図は n^+-i-n ダイオードの製造における半絶縁性GaAs基板主面にイオンが打ち込まれた状態を示す断面図、

第9図は同じく拡散処理された半絶縁性GaAs基板を示す断面図、

第10図は電子線が部分的に照射された半絶縁性GaAs基板を示す断面図、

第11図はダイオード用電極が形成された半絶縁性GaAs基板を示す断面図、

第12図は従来の n^+-i-n^+ ダイオードの概要を示す断面図、

第13図は同じくエネルギーバンド図、

第14図は同じく電流-電圧特性を示すグラフである。

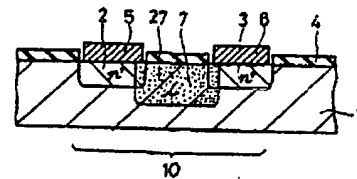
1…半絶縁性GaAs基板、2, 3… n^+ 形拡散領域、4…絶縁膜、5, 6…ダイオード用電極、7…真性半導体領域(1領域)、8…伝導帯、9…充満帯、10… n^+-i-n^+ ダイオード(保護ダイオード)、20…チャップ、21…ソース電極、22…ドレイン電極、23…ゲート電極、24…ワイヤボンディング部、25, 26…ワイヤボンディング部、27…トラップ領域、28…配線部、29…配線部、31…SiO₂膜、32…

Siイオン、33…トラップ単位、34…電子線、35…電子。

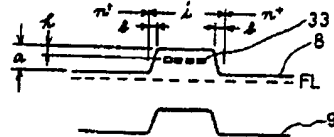
代理人 弁理士 小川勝男



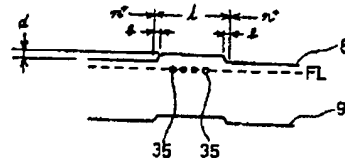
第 1 図



第 2 図

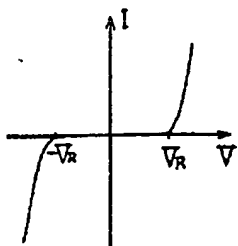


第 3 図

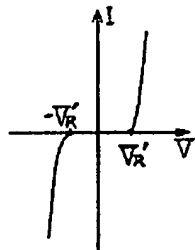


23- n^+ 形拡散領域 27-トラップ領域
7-真性半導体領域(L) 33-トラップ単位
10- n^+-i-n^+ ダイオード 35-電子

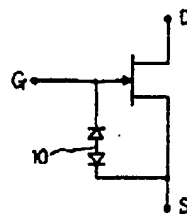
第 4 図



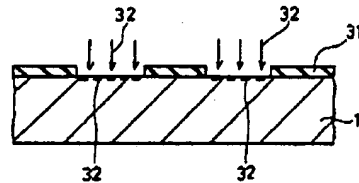
第 5 図



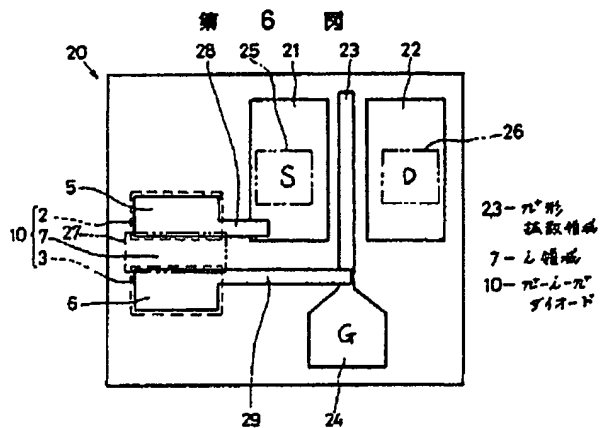
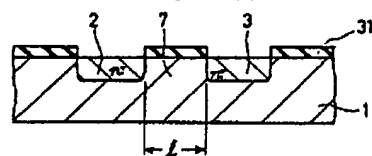
第 7 図



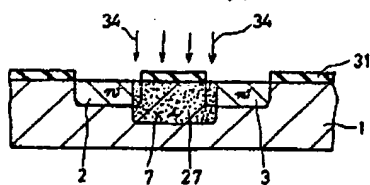
第 8 図



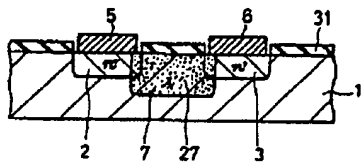
第 9 図



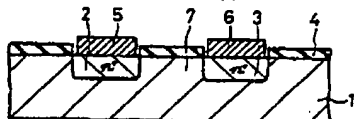
第 10 図



第 11 図

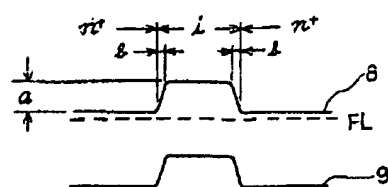


第 12 図



34-電子線

第 13 図



第 14 図

